



Global Design Infrastructure Innovation

DC-DC Converter IC モデル詳細説明書(PSpice)

型番: MP9942GJ | Monolithic Power Systems ,Inc.

2021.02.05

<http://www.modech.com/>

1. モデル仕様
2. 検証条件
3. 検証結果

1.1 実装機能

1.2 実現特性

1.3 端子定義

- ・実際のデバイスの機能すべてをモデルに実装しているわけではありません。
また、同種類のデバイスでも実装機能には違いがある場合」が」あります。
- ・特性はその時点でのメーカーのデータシートよりモデリングしています。
メーカーの仕様変更には対応していません。
- ・シミュレーションのシンボルは付属していません。

1.1 実装機能(一部機能はモデルには未実装)

Functions	Device	Model
Internal Regulator	○	○
Power Save Mode for Light Load Condition	○	○
Enable/SYNC control	○	○
Under-Voltage Lockout	○	○
Internal Soft-Start	○	○
Over-Current Protection and Hiccup	○	-
Thermal Shutdown	○	-
Floating Driver and Bootstrap Charging	○	○
Startup and Shutdown	○	○
Power Good	○	○

1.2.1 実現特性①

Parameter	Condition	Min	Typ	Max	Units
HS Switch-ON Resistance	VBST-SW=5V		90		mΩ
LS Switch-ON Resistance	VCC=5V		55		mΩ
Oscillator Frequency	VFB=750mV	320	410	500	kHz
Fold-Back Frequency	VFB<400mV	70	100	130	kHz
Maximum Duty Cycle	VFB=750mV,]	92	95		%
Minimum ON Time			70		ns
Sync Frequency Range		0.2		2.4	MHz
Feedback Voltage		780	792	804	mV
Feedback Current	VFB=820mV		10	100	nA
EN Rising Threshold		1.15	1.4	1.65	V
EN Falling Threshold		1.05	1.25	1.45	V
EN Threshold Hysteresis			150		mV
EN Input Current	VEN=2V		4 6		6 μA
	VEN=0			0	0.2 μA

全て、Typ値、Ta=25°Cの値で合わせこみ

1.2.1 実現特性②

Parameter	Condition	Min	Typ	Max	Units
VIN Under-Voltage Lockout Threshold-Rising		3.3	3.5	3.7	V
VIN Under-Voltage Lockout Threshold-Falling		3.1	3.3	3.5	V
VIN Under-Voltage Lockout Threshold-Hysteresis			200		mV
VCC Regulator	ICC=0mA	4.6	4.9	5.2	V
VCC Load Regulation	ICC=5mA		1.5	4	%
Soft-Start Period	VOUT from 10% to 90%	0.55	1.45	2.45	ms
PG Rising Threshold	as percentage of VFB	86.5	90	93.5	%
PG Falling Threshold	as percentage of VFB	80.5	84	87.5	%

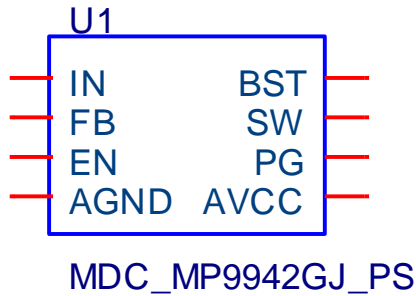
全て、Typ値、Ta=25°Cの値で合わせこみ

1.2.1 実現特性③

Parameter	Condition	Min	Typ	Max	Units
PG Threshold Hysteresis	as percentage of VFB			6	%
PG Rising Delay		40	9	0	160 μ s
PG Falling Delay			30	55	95 μ s
PG Sink Current Capability	Sink 4mA			0.1	0.3V

全て、Typ値、Ta=25°Cの値で合わせこみ

1.3 端子定義



Pin Number	Name	Description
1	PG	Power Good. The output of this pin is an open drain and goes high if the output voltage exceeds 90% of the nominal voltage.
2	IN	Supply Voltage. The MP9942 operates from a 4V to 36V input rail. Requires C1 to decouple the input rail. Connect using a wide PCB trace.
3	SW	Switch Output. Connect with a wide PCB trace.
4	GND	System Ground. This pin is the reference ground of the regulated output voltage and PCB layout requires special care. For best results connect to GND with copper traces and vias.
5	BST	Bootstrap. Requires a capacitor connected between SW and BST pins to form a floating supply across the high-side switch driver. A 20Ω resistor placed between SW and BST cap is strongly recommended to reduce SW spike voltage.
6	EN/SYNC	Enable/Synchronize. EN/SYNC high to enable the MP9942. Apply an external clock to the EN/SYNC pin to change the switching frequency.
7	VCC	Bias Supply. Decouple with 0.1 μF-to-0.22 μF capacitor. Select a capacitor that does not exceed 0.22 μF
8	FB	Feedback. Connect to the tap of an external resistor divider from the output to GND the output voltage. The frequency fold-back comparator lowers the oscillator frequency when the FB voltage is below 660mV to prevent current limit runaway during a short-circuit fault condition.

- 対応シミュレータ
 - PSpice V17.2

- TNOM
 - 25°C

3.1 Normal Mode Operation

3.2 Internal Power-Save Mode

3.3 Synchronizes External Clock

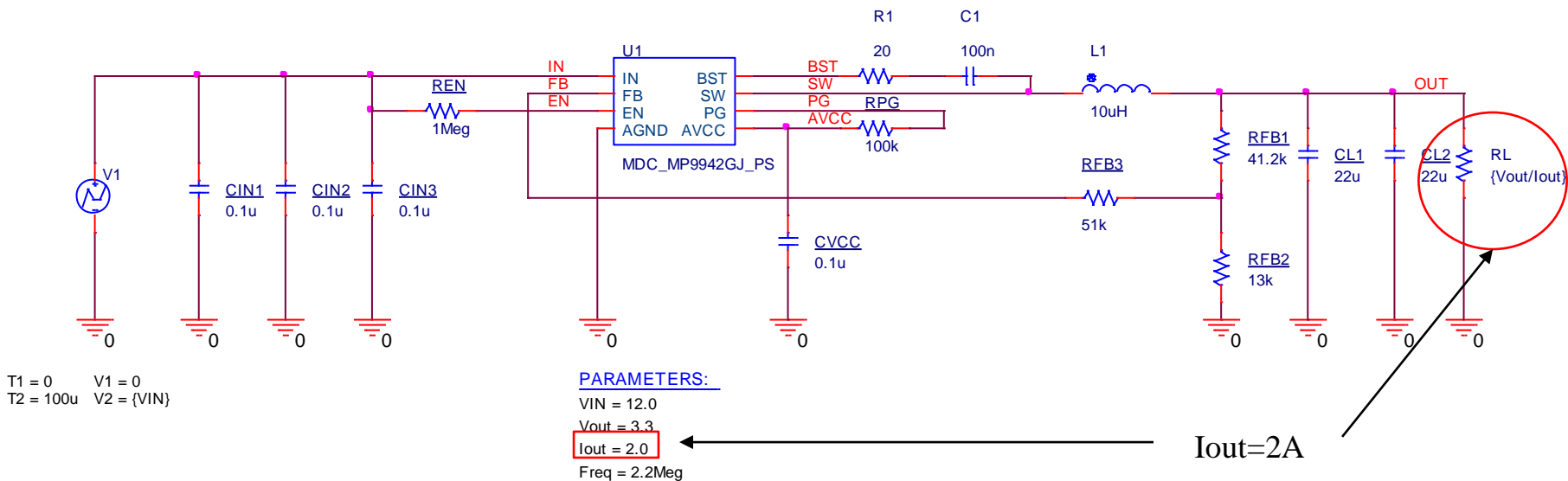
3.4 UVLO

3.5 EN

3.6 Line Regulation

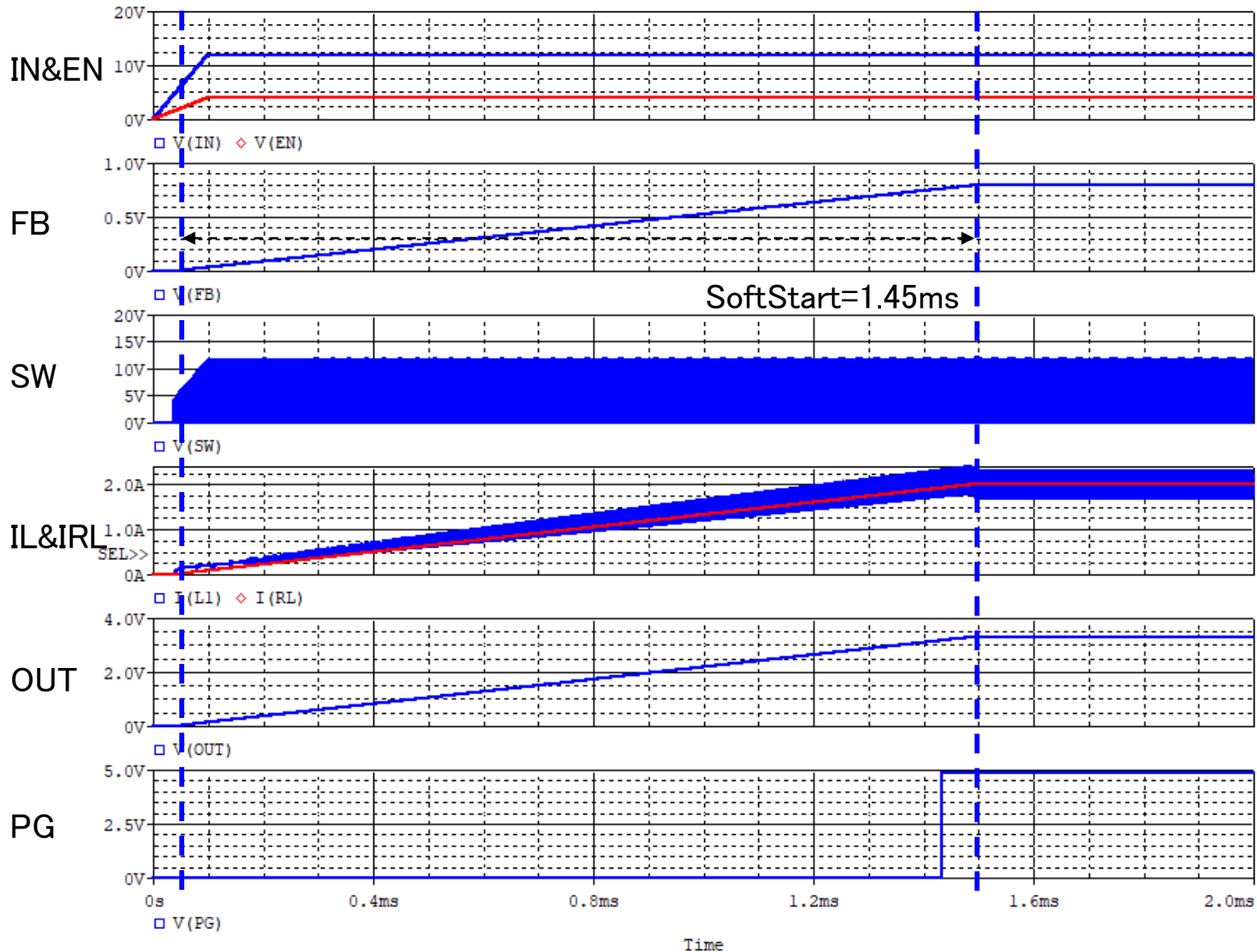
3.7 Load Regulation

3.1.1 Normal Mode Operation

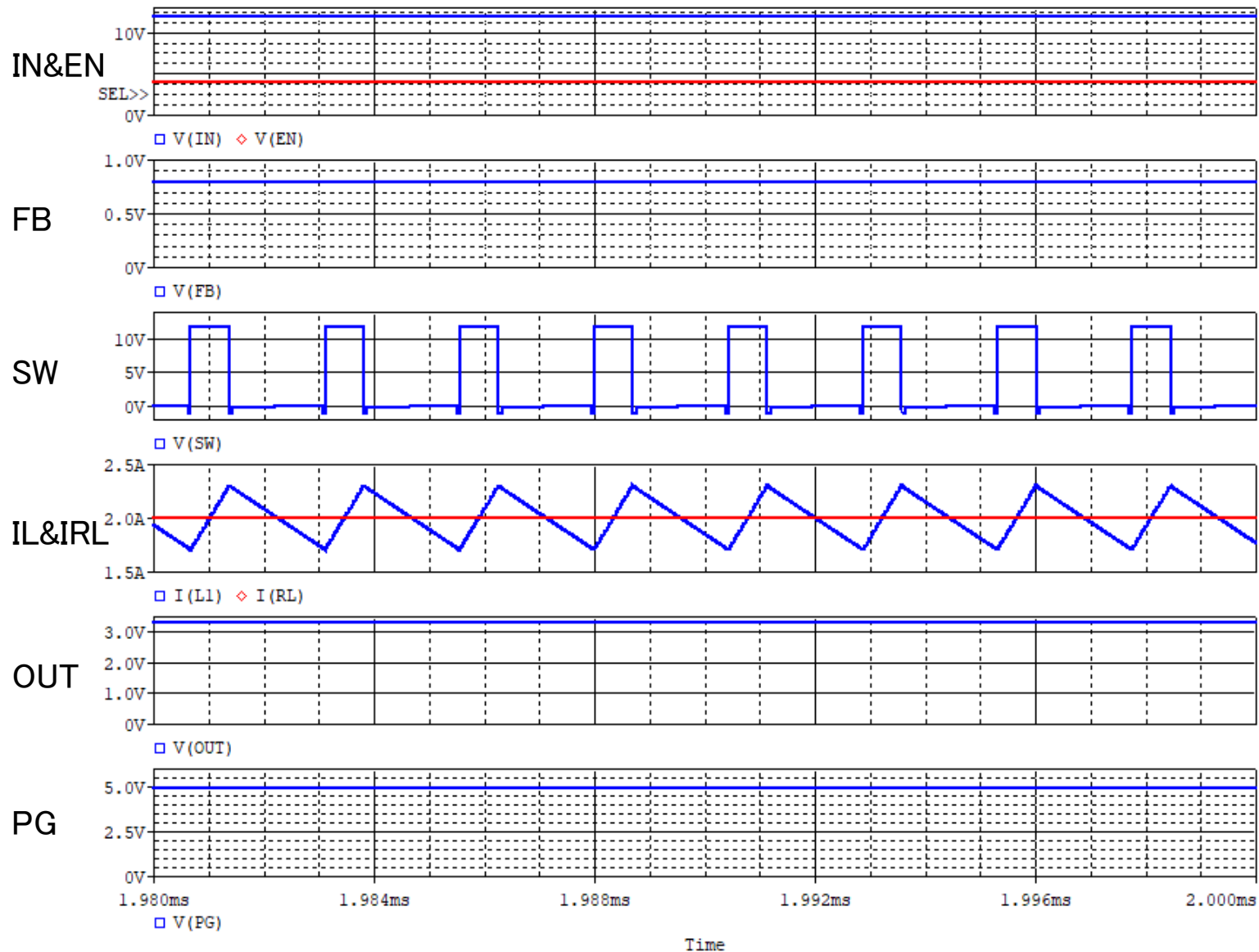


ノーマルモード(出力電流=2A)での
SoftStart時間、スイッチング波形、インダクタの電流
等を計測します。

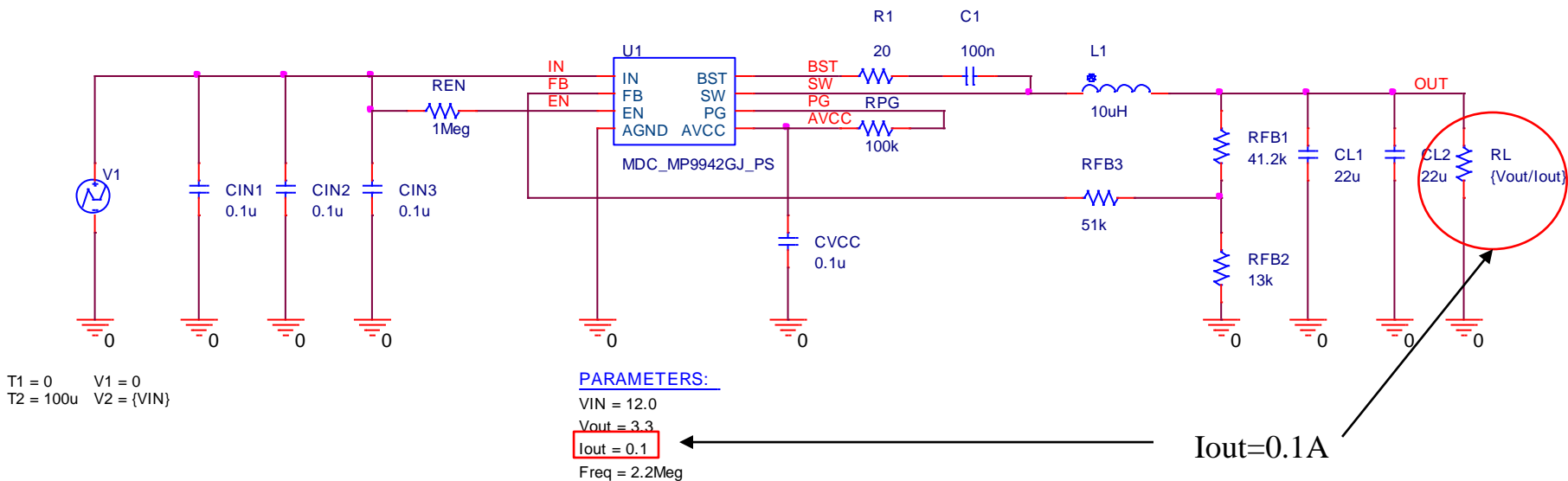
3.1.2 Normal Mode Operation (Startup)



3.1.3 Normal Mode Operation (Steady State)

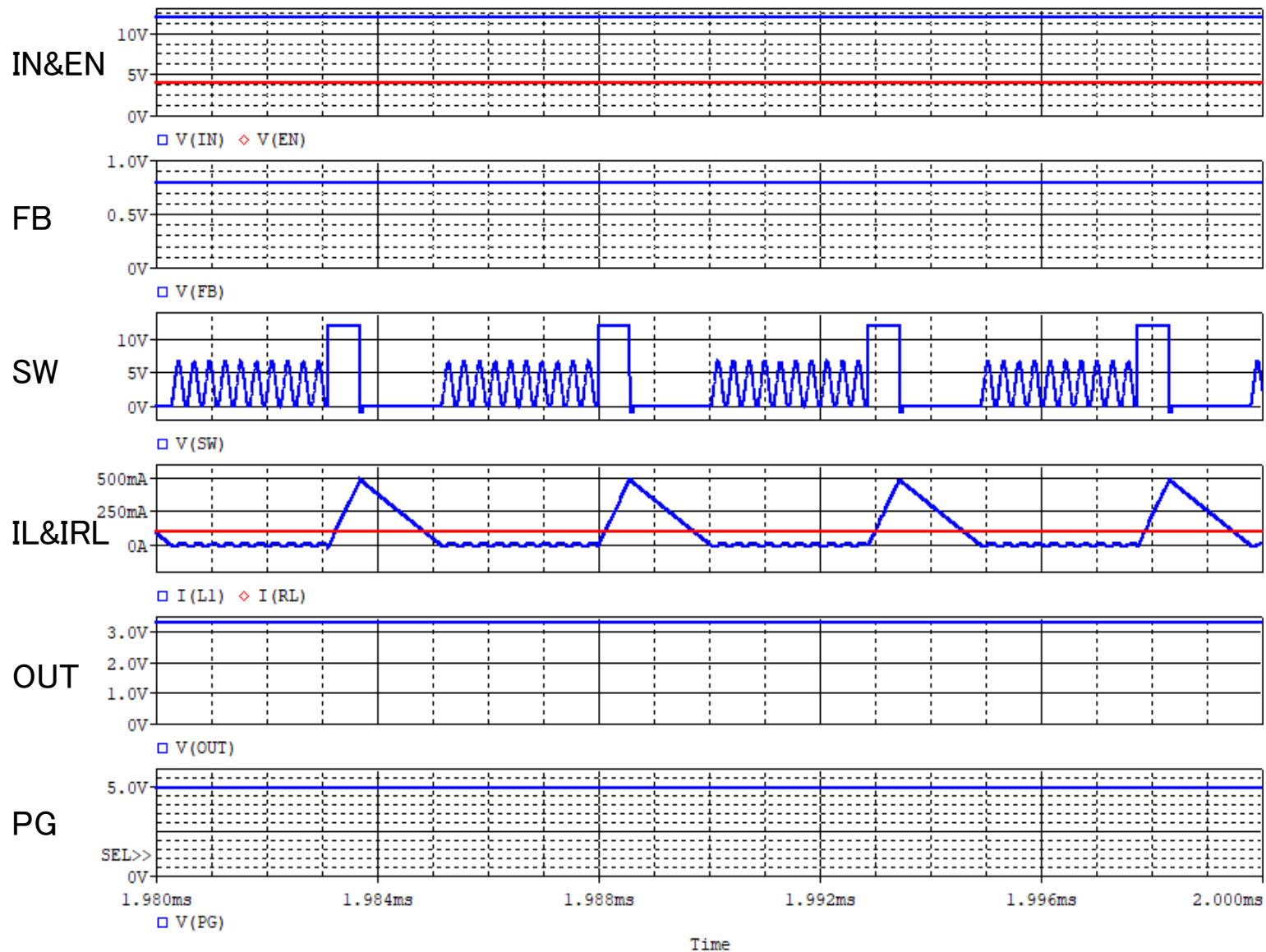


3.2.1 Internal Power-Save Mode

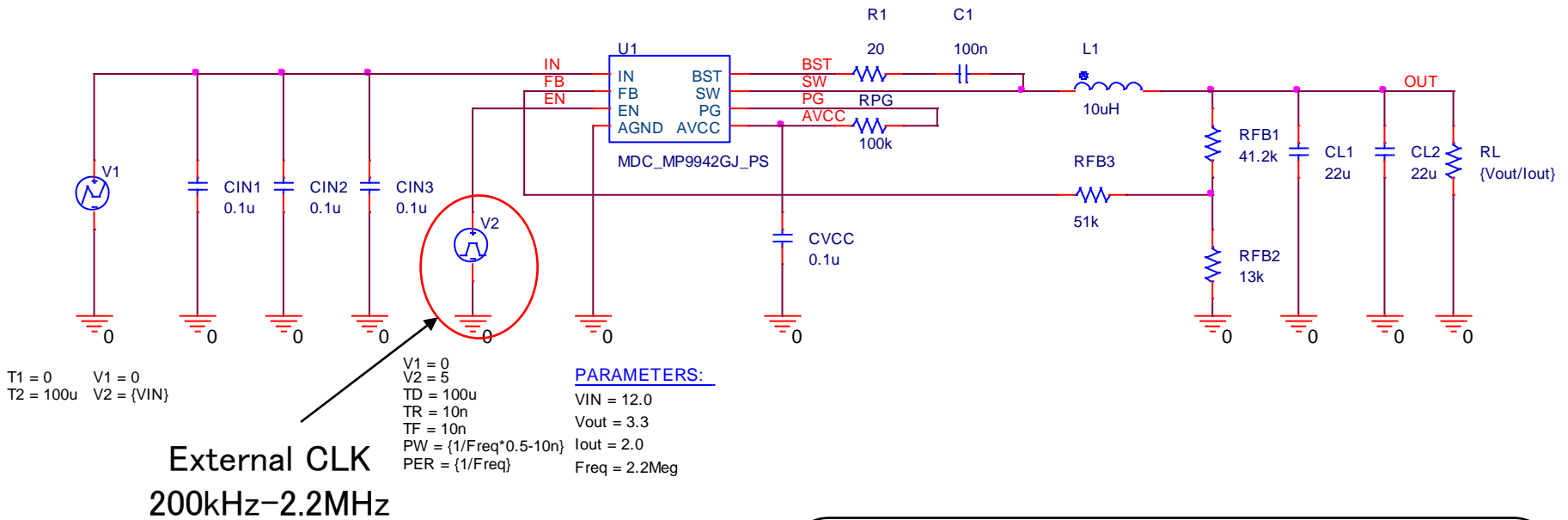


パワーセーブモード(出力電流=0.1A)での
スイッチング波形、インダクタの電流
等を計測します。
軽負荷モードですので、スイッチングが
間欠動作になります。

3.2.2 Internal Power-Save Mode

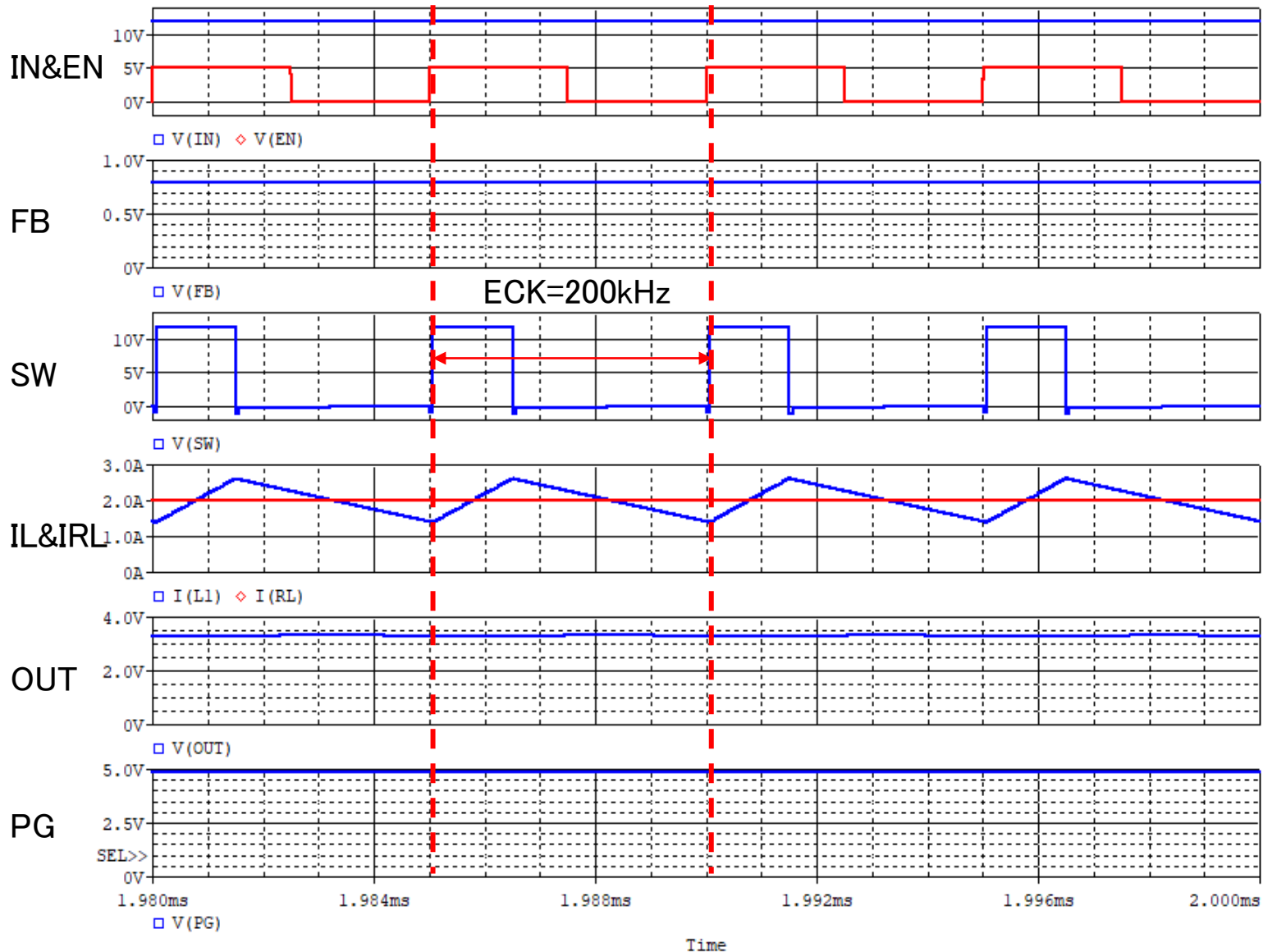


3.3.1 Synchronizes External Clock

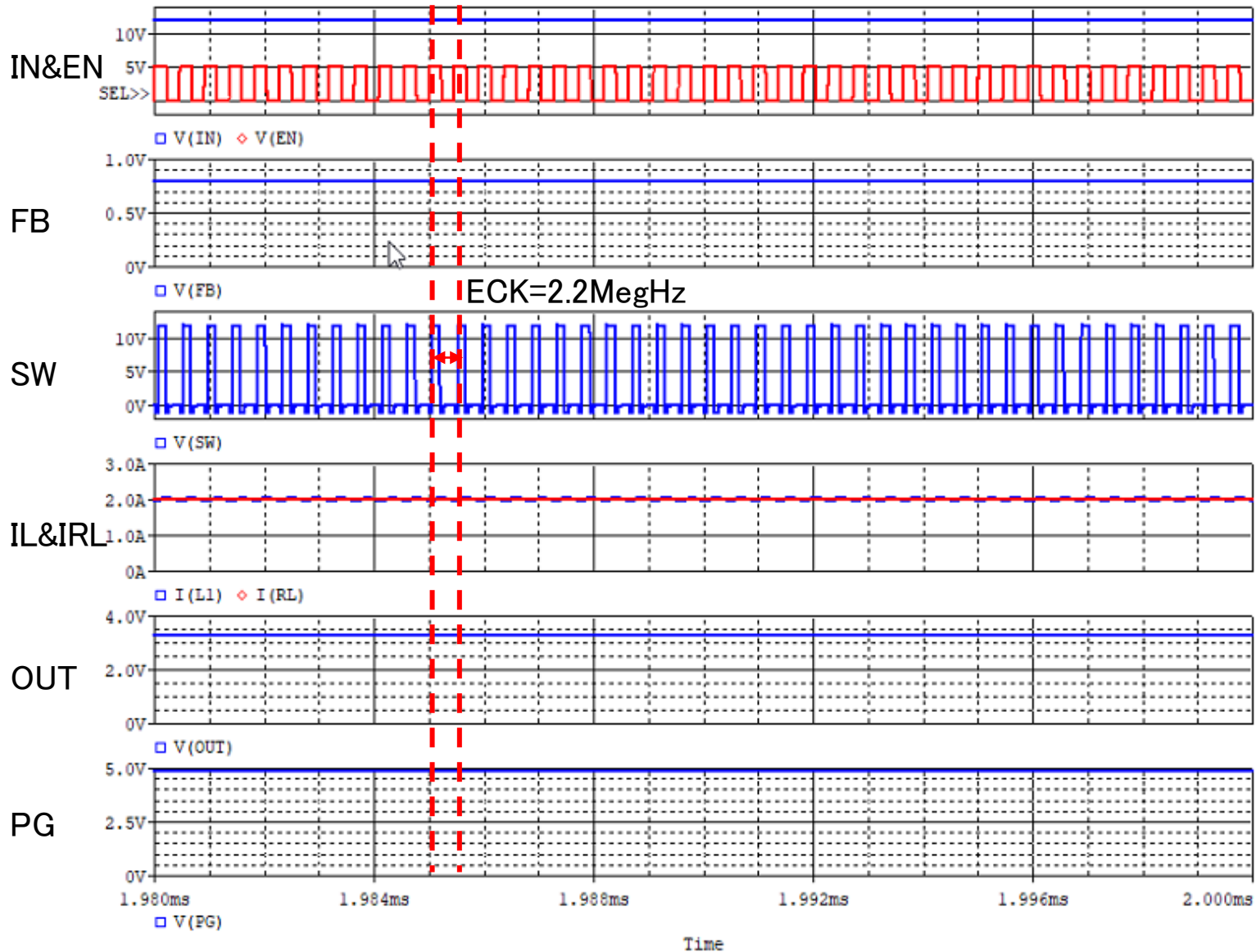


EN/Sync端子にパルスを入力することで、外部発振周波数に同期したクロックで動作することを確認します。

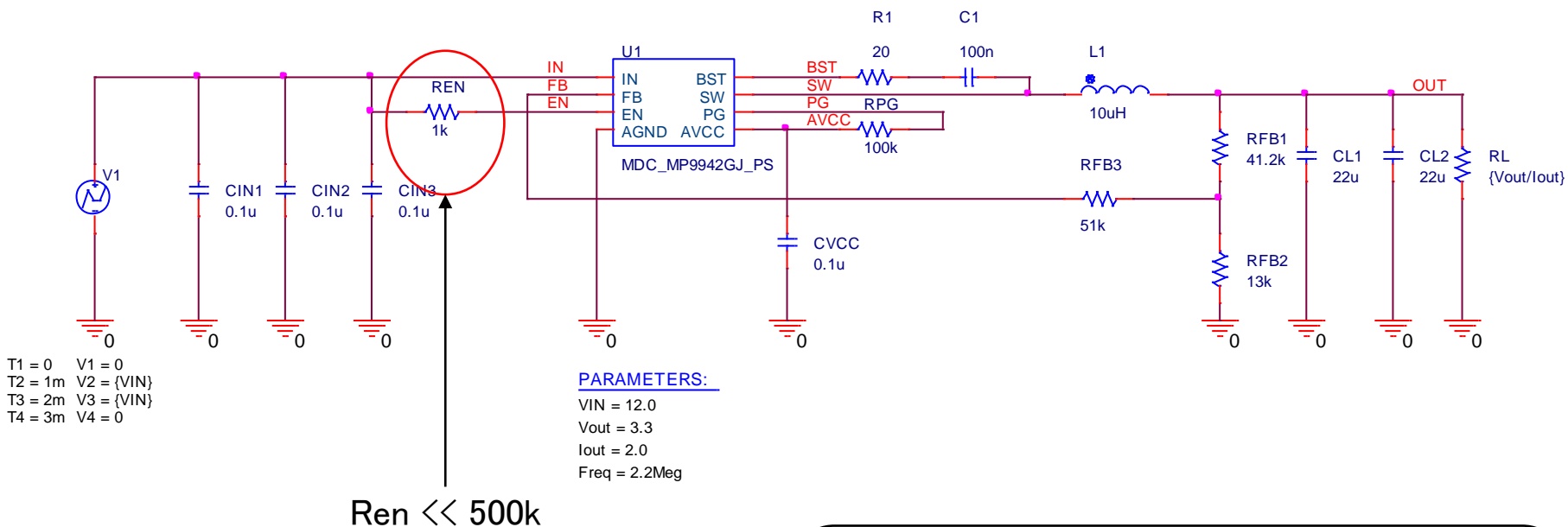
3.3.2 Synchronizes External Clock (ECK=200kHz)



3.3.3 Synchronizes External Clock (ECK=2.2MHz)

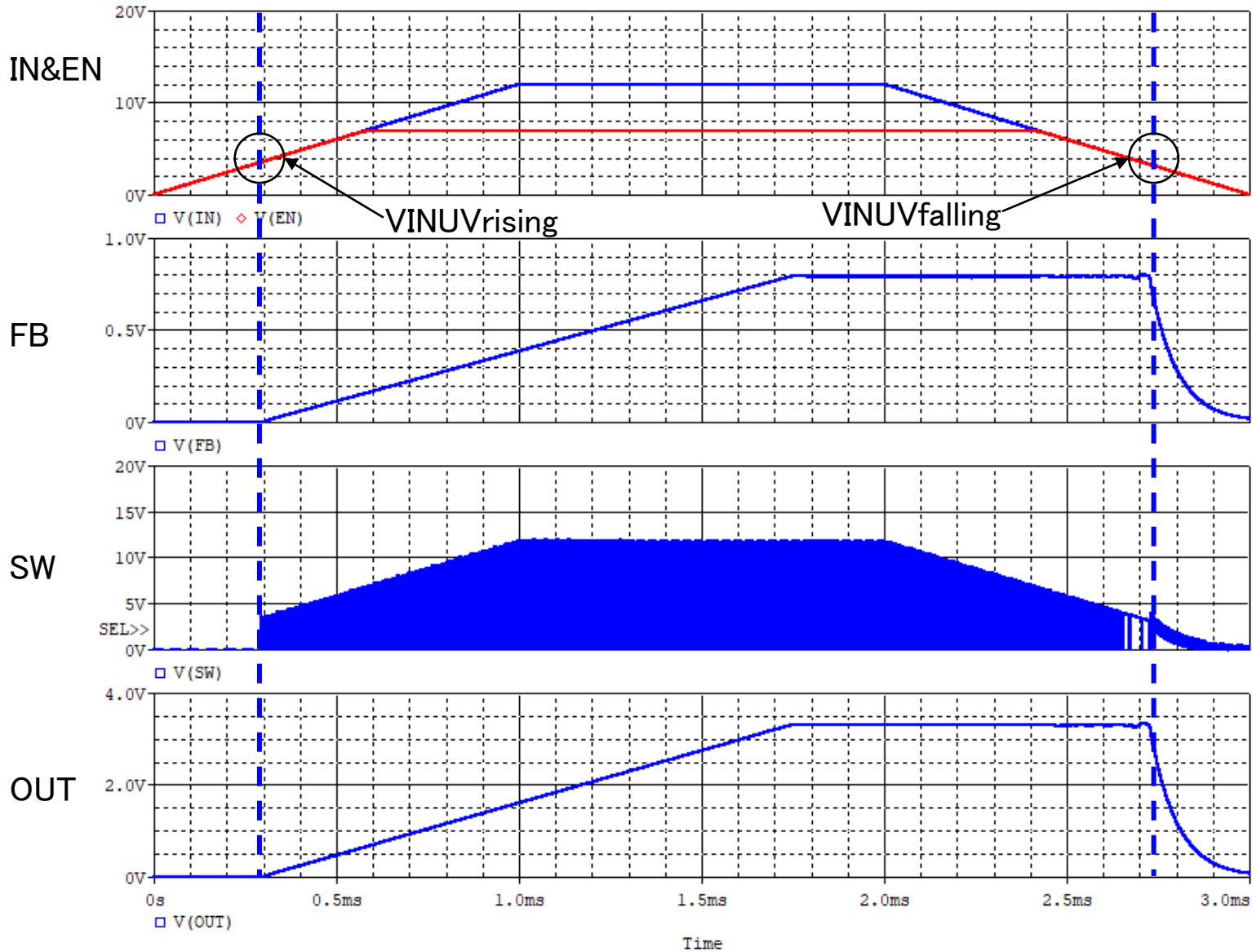


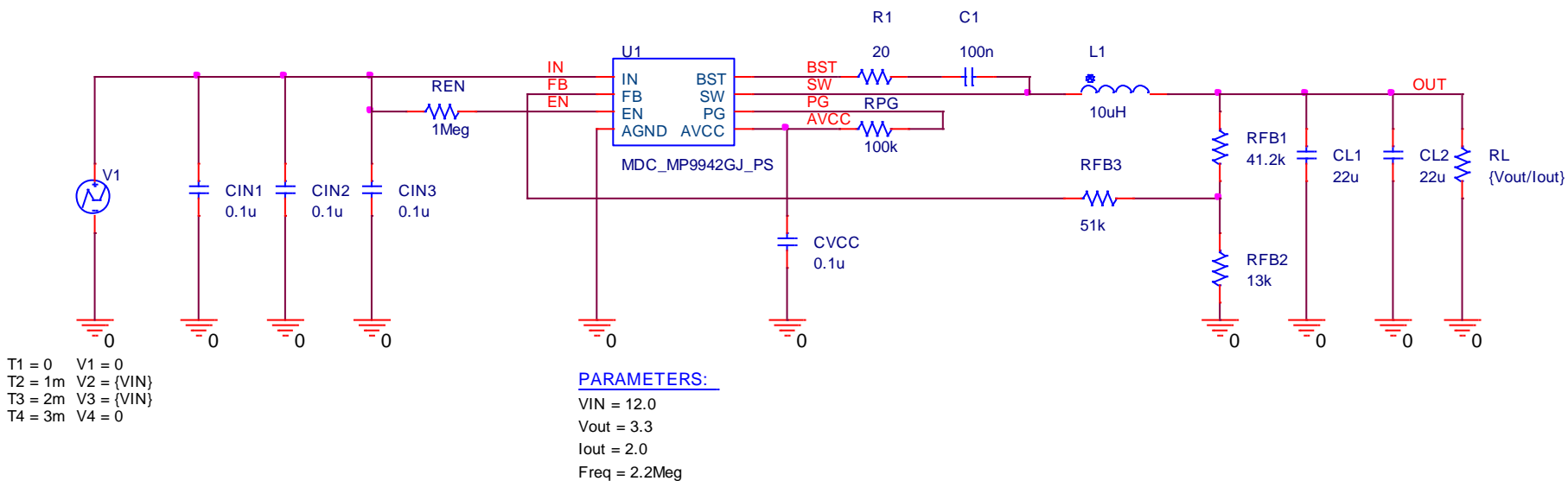
3.4.1 UVLO



入力電圧(VIN)の増減により、仕様通りのしきい値で、動作開始、停止するか確認します。

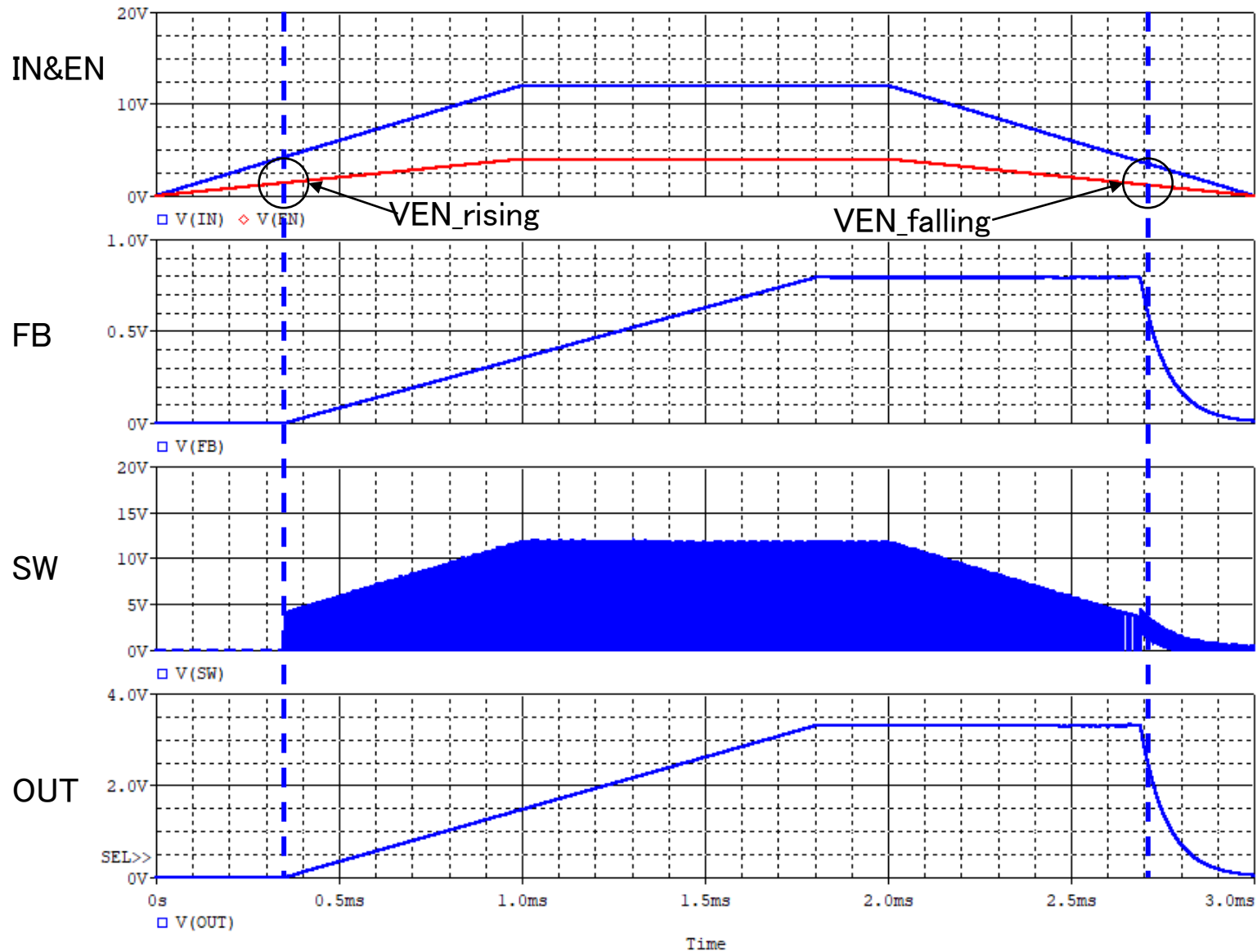
3.4.2 UVLO



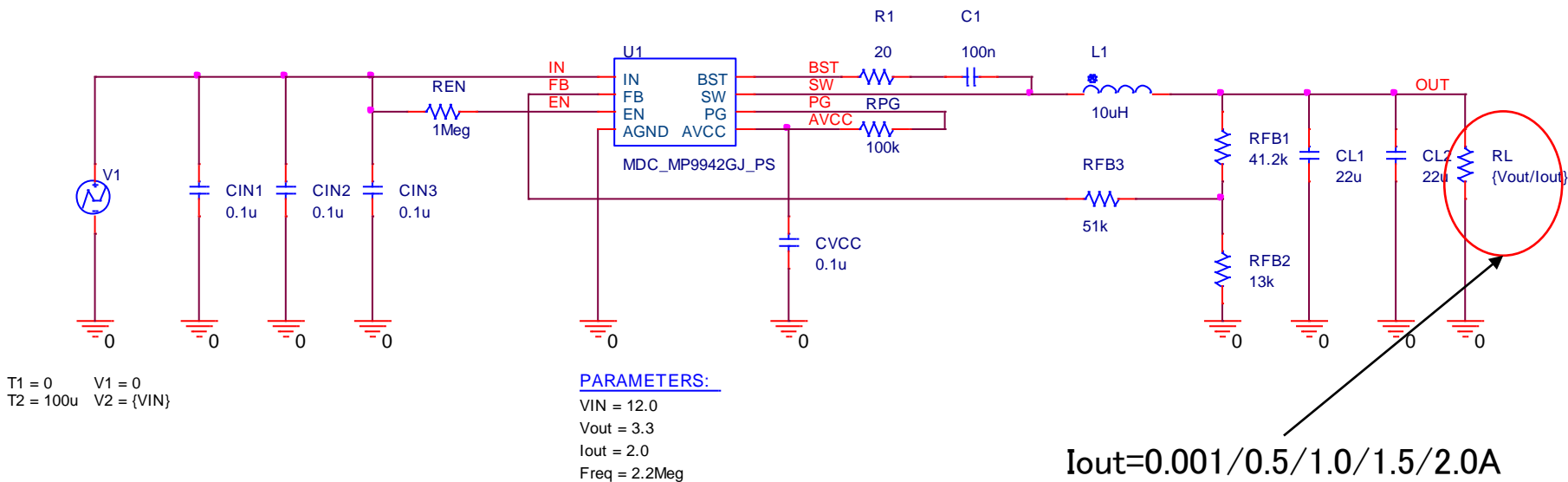


EN (Enable)端子電圧の増減により
 仕様通りのしきい値で、
 ICが動作開始、停止するか確認します。

3.5.2 EN

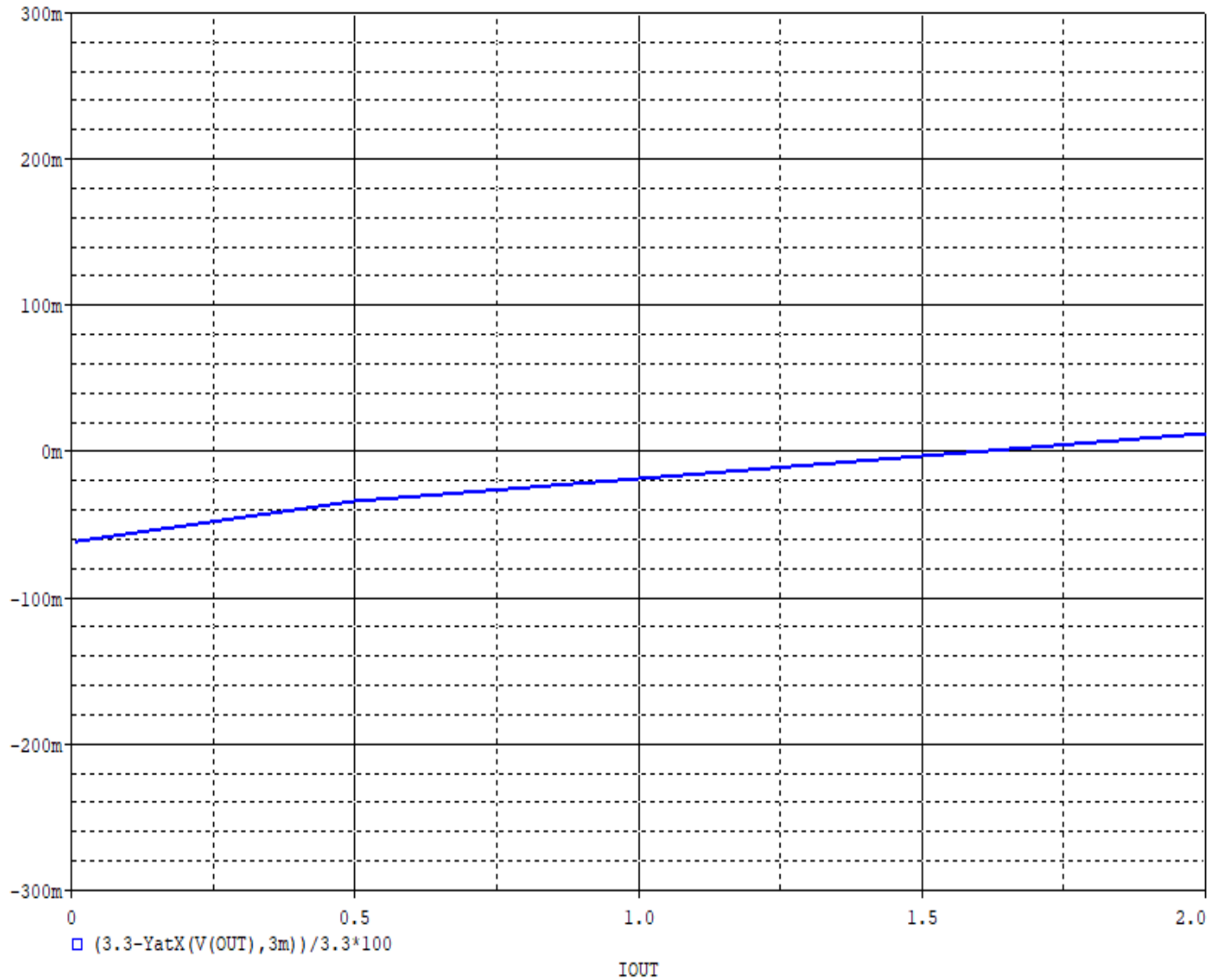


3.6.1 Load Regulation

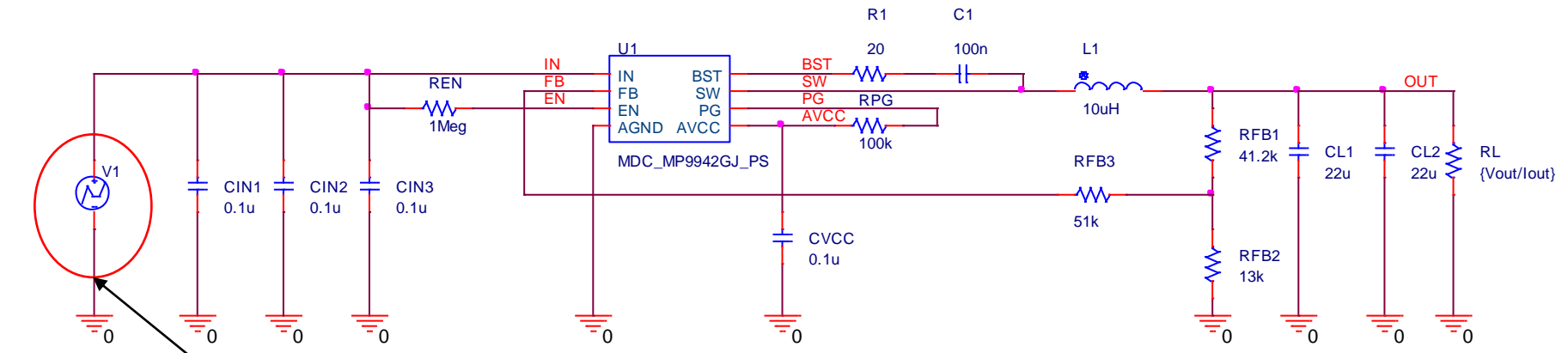


負荷電流を変化させたときの、
出力電圧の変化を計測します。

3.6.2 Load Regulation



3.7.1 Line Regulation



T1 = 0 V1 = 0
T2 = 100u V2 = {VIN}

PARAMETERS:

VIN = 12.0
Vout = 3.3
Iout = 2.0
Freq = 2.2Meg

Vin=4/10/15/20/25/30/36V

入力電圧を変化させたときの、
出力電圧の変化を計測します。

3.7.2 Line Regulation

